日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００２年１０月　８日

出願番号
Application Number: 特願２００２－２９５１３４

[ST. 10/C]: ［ＪＰ２００２－２９５１３４］

出願人
Applicant(s): セイコーエプソン株式会社

２００３年　８月　１日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００３－３０６１６０８

【書類名】　特許願
【整理番号】　J0093327
【あて先】　特許庁長官殿
【国際特許分類】　H01L 23/00
【発明者】
　【住所又は居所】　長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
　【氏名】　木村　睦
【特許出願人】
　【識別番号】　000002369
　【氏名又は名称】　セイコーエプソン株式会社
【代理人】
　【識別番号】　100079108
　【弁理士】
　【氏名又は名称】　稲葉　良幸
【選任した代理人】
　【識別番号】　100080953
　【弁理士】
　【氏名又は名称】　田中　克郎
【選任した代理人】
　【識別番号】　100093861
　【弁理士】
　【氏名又は名称】　大賀　眞司
【手数料の表示】
　【予納台帳番号】　011903
　【納付金額】　21,000円
【提出物件の目録】
　【物件名】　明細書　1
　【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9808570

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　回路基板及びその製造方法、転写チップ、転写元基板、電気光学装置、電子機器

【特許請求の範囲】

【請求項１】

積層膜によって形成される薄膜電気回路と、当該薄膜電気回路と他の回路との接続を行うための接続端子として用いられる複数の第１のパッド電極とを含む転写チップを第１の基板上に形成する転写チップ形成工程と、

電気回路配線と、この電気回路配線に接続されると共に前記転写チップに形成される前記複数の第１のパッド電極のそれぞれに対応して転写対象領域に配置された複数の第２のパッド電極とを含む第２の基板を形成する転写先基板形成工程と、

前記第１の基板上の前記転写チップを前記第２の基板上の前記転写対象領域へ転写することにより前記電気回路配線に前記薄膜電気回路を接続して回路基板を形成する転写工程と、を含み、

前記複数の第１のパッド電極は、前記転写チップの一面の全体に渡って配置され、各第１のパッド電極はその下側に存在する前記薄膜電気回路を構成する薄膜素子又は薄膜配線を覆って形成され、これによって表面に生じる凹凸部分の最高部の高さが各パッド電極において略同じとなるように形成される、回路基板の製造方法。

【請求項２】

前記複数の第１のパッド電極は、前記薄膜素子又は前記薄膜配線を形成するときに高さ調整膜を付け加えることによって前記凹凸部分の最高部の高さが調整される、請求項１に記載の回路基板の製造方法。

【請求項３】

前記転写先基板形成工程において、前記複数の第２のパッド電極はその下側に存在する前記電気回路配線を覆って形成され、これによって表面に生じる凹凸部分の最高部の高さが各第２のパッド電極において略同じになるように形成される、請求項１又は２に記載の回路基板の製造方法。

【請求項４】

前記複数の第２のパッド電極は、前記電気回路配線を形成するときに高さ調整膜を付け加えることによって前記凹凸部分の最高部の高さが調整される、請求項３に記載の回路基板の製造方法。

【請求項５】

前記複数の第１のパッド電極のそれぞれは、前記最高部に対応する領域における前記積層膜の膜構成が同じである、請求項１乃至４のいずれかに記載の回路基板の製造方法。

【請求項６】

前記複数の第２のパッド電極のそれぞれは、前記最高部に対応する領域における下側の前記積層膜の膜構成が同じである、請求項１乃至４のいずれかに記載の回路基板の製造方法。

【請求項７】

積層膜によって形成される薄膜電気回路と、当該薄膜電気回路と他の回路との接続を行うための接続端子として用いられる複数の第１のパッド電極とを含む転写チップを第１の基板上に形成する転写チップ形成工程と、

電気回路配線と、この電気回路配線に接続されると共に前記転写チップに形成される前記複数の第１のパッド電極のそれぞれに対応して転写対象領域に配置された複数の第２のパッド電極とを含む第２の基板を形成する転写先基板形成工程と、

前記第１の基板上の前記転写チップを前記第２の基板上の転写対象領域へ転写することにより前記電気回路配線に前記薄膜電気回路を接続して回路基板を形成する転写工程と、を含み、

前記複数の第１のパッド電極は、前記転写チップの一面の全体に渡って配置され、各第１のパッド電極はその下側に存在する前記薄膜電気回路を構成する薄膜素子又は薄膜配線を覆って形成されており、

前記複数の第２のパッド電極は、前記複数の第１のパッド電極の配置に対応して前記転写対象領域の全体に渡って配置され、各第２のパッド電極はその下側に存在する前記電気回路配線を覆って形成されており、

前記第１のパッド電極及び第２のパッド電極のそれぞれは、対向配置されて対をなす一組の第１及び第２のパッド電極のそれぞれの表面に生じる凹凸部分の最高部の高さの合計がほぼ一定となるように形成される、回路基板の製造方法。

【請求項８】

前記転写工程は、前記転写チップに形成された前記第１のパッド電極と前記第２の基板上に形成された前記第２のパッド電極の間に接着層を形成する工程を含む、請求項１乃至７のいずれかに記載の回路基板の製造方法。

【請求項９】

前記転写チップ形成工程は、前記第１の基板と前記転写チップの間に介在し、エネルギーの付与によって状態変化を生じて前記転写チップとの固着度合いが弱まる性質を有する剥離層を形成する工程を含む、請求項１乃至８のいずれかに記載の回路基板の製造方法。

【請求項１０】

積層膜によって形成される薄膜電気回路とこの薄膜電気回路と他との接続を行うための複数のパッド電極とを少なくとも含む転写単位として第１の基板に形成され、当該第１の基板から配線が形成された第２の基板に転写される転写チップであって、

前記複数のパッド電極は前記転写チップの一面の全体に渡って配置され、各パッド電極はその下側に存在する前記薄膜電気回路を構成する薄膜素子又は薄膜配線を覆って形成され、これによって表面に生じる凹凸部分の最高部の高さが各パッド電極において略同じとなるように形成されている、転写チップ。

【請求項１１】

請求項１０に記載の転写チップを基板上に複数形成してなる転写元基板。

【請求項１２】

前記転写元基板は、前記基板と前記転写チップの間に介在し、エネルギーの付与によって状態変化を生じて前記転写チップとの固着度合いが弱まる性質を有する剥離層をさらに含む、請求項１１に記載の転写元基板。

【請求項１３】

請求項１乃至９のいずれかに記載の製造方法により製造される回路基板を用い

て製造される電気光学装置。

【請求項１４】

請求項１３に記載の電気光学装置を表示部として用いる電子機器。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、電気回路の基板間転写技術の改良及びこの技術を用いた表示装置（電気光学装置）及びその製造方法に関する。

【０００２】

【従来の技術】

薄膜トランジスタを画素駆動に用いる表示装置（電気光学装置）、例えば、薄膜トランジスタ駆動液晶表示装置、薄膜トランジスタ駆動有機エレクトロルミネッセンス表示装置、薄膜トランジスタ駆動発光ダイオード表示装置、薄膜トランジスタ駆動電気泳動表示装置などでは、薄膜トランジスタは装置全体の一部分をなすものであり、それ以外の大部分は配線や支持基板などからなる場合が少なくない。このような表示装置（薄膜トランジスタ駆動表示装置）を、薄膜トランジスタと配線や支持基板を一体として同一の製造プロセスを経て製造する場合には、薄膜トランジスタを作成するための高度で複雑な製造プロセスが必要とされるため、一般的に、製造コストが高額になる。しかしながら、配線や支持基板だけのためには、高度で複雑な製造プロセスは必要とされず、製造コストは安価である。もし、薄膜トランジスタと配線や支持基板を別個に作成し、必要とされる部分にだけ薄膜トランジスタを配置することができれば、薄膜トランジスタ駆動表示装置の製造コストを低減することが可能である。

【０００３】

このような要望に対して、転写元基材上に剥離層を介して、薄膜トランジスタ等の素子からなる被転写層を形成し、これを総て転写先基材に接合してから剥離層に光を照射し剥離を生じさせ、転写元基材を剥離層から離脱させることにより、転写先基材上の所望の位置に素子を形成する転写方法が開発されている。このような転写方法は、例えば、特開平１０－１２５９３１号公報に開示されている

（特許文献１）。上述した転写方法を用いることにより、必要とされる部分にだけ薄膜トランジスタを配置することができるので、全体として平均すれば、この薄膜トランジスタ駆動表示装置の製造コストを低減することが可能となる。

【０００４】

【特許文献１】

特開平１０－１２５９３１号公報

【０００５】

【発明が解決しようとする課題】

上述した転写方法を用いて、薄膜トランジスタ等を含む回路等からなる被転写体（転写チップ）を所望の転写先基材（例えば、表示装置を構成する基板等）へ転写する場合には、被転写体と転写先基材のそれぞれにパッド電極（電気的接続を担う接続端子）を互いに対応させて形成しておくことにより、被転写体に含まれる素子と転写先基材に含まれる配線等との間の電気的な接続を行うことが多い。この場合に、被転写体に設けられるパッド電極と転写先基材に設けられるパッド電極との導通を確実に行うことは、転写先基板を含んで構成される表示装置等の最終製品の良品率の向上、コスト削減、耐久性等の性能の向上を図るために重要な課題である。

【０００６】

そこで、本発明は、被転写体と転写先基材との間にパッド電極を設けて両者を電気的に接続する際に、良好な導通状態を確保することを可能とする技術を提供することを目的とする。

【０００７】

【課題を解決するための手段】

上記目的を達成するために、本発明の回路基板の製造方法は、積層膜によって形成される薄膜電気回路と、当該薄膜電気回路と他の回路との接続を行うための接続端子として用いられる複数の第１のパッド電極とを含む転写チップを第１の基板上に形成する転写チップ形成工程と、電気回路配線と、この電気回路配線に接続されると共に上記転写チップに形成される複数の第１のパッド電極のそれぞれに対応して転写対象領域に配置された複数の第２のパッド電極とを含む第２の

基板を形成する転写先基板形成工程と、第１の基板上の転写チップを第２の基板上の転写対象領域へ転写することにより電気回路配線に薄膜電気回路を接続して回路基板を形成する転写工程と、を含んでおり、上記複数の第１のパッド電極は、転写チップの一面の全体に渡って配置され、各第１のパッド電極はその下側に存在する薄膜電気回路を構成する薄膜素子又は薄膜配線を覆って形成され、これによって表面に生じる凹凸部分の最高部の高さが各パッド電極において略同じとなるように形成される。

【０００８】

ここで、本発明における「転写チップ」とは、上述したような転写技術、具体的には、始めに転写元となる基板上に被転写体を形成しておき、その後に被転写体を転写元基板とは別の転写先基板（例えば、最終製品を構成する基板）へ転写する剥離転写技術を使用する場合において、被転写体としての最小単位となる状態のものを言い、例えば、各種の素子やこれらの組み合わせからなる回路を含んで構成されて所定の機能を担うものである。

【０００９】

このような被転写体としての転写チップと、転写先となる基板（第２の基板）の間に電気的接続を担うパッド電極を介在させて回路形成を行う場合には、転写時の位置合わせ精度の都合などから、パッド電極の大きさ（接触面積）をある程度大きく確保することが望ましい。このため、パッド電極は、転写チップの一面（転写面）の全体に渡って大きく面積を取って配置されることが多いが、この場合に、転写チップ側のパッド電極（第１のパッド電極）は、薄膜電気回路の各部をまたいで形成されることから、表面に凹凸が生じるのを回避することが難しくなる。このようなパッド電極の表面の凹凸は、転写時の接触不良を招く原因となりやすい。

【００１０】

そこで、本発明では、パッド電極の表面に生じる凹凸部分の最高部、すなわち最も高い部分の高さが各パッド電極においてほとんど同じとなるようにパッド電極を形成している。これにより、転写チップが転写先基板上の転写対象領域へ転写される際の接触面をほぼ等しい高さに揃えることができるので、良好な導通状

態を確保することが可能となる。

【００１１】

好ましくは、上記複数の第１のパッド電極は、薄膜素子又は薄膜配線を形成するときに高さ調整膜を付け加えることによって凹凸部分の最高部の高さが調整される。これにより、凹凸部分の最高部の高さの調整が容易となる。このような高さ調整膜は、例えば、上述した薄膜素子等を形成する際に使われる半導体膜、導電膜あるいはこれらの間に設けられる絶縁膜などを利用して形成することが可能である。この場合には、薄膜素子等の形成時に一緒に高さ調整膜を形成することができるので、工程の増加や複雑化を招くことなく都合がよい。なお、薄膜素子等を形成するための薄膜とは別個に高さ調整膜を形成するようにしてもよい。

【００１２】

好ましくは、上記転写先基板形成工程において、複数の第２のパッド電極はその下側に存在する電気回路配線を覆って形成され、これによって表面に生じる凹凸部分の最高部の高さが各第２のパッド電極において略同じになるように形成される。これにより、転写先基板（第２の基板）上の転写対象領域が平坦ではなく、ここに形成される第２のパッド電極の表面に凹凸が生じる場合であっても、転写先基板上の転写対象領域における転写チップとの接触面をほぼ等しい高さに揃えることができるので、良好な導通状態を確保することが可能となる。

【００１３】

好ましくは、上記複数の第２のパッド電極は、電気回路配線を形成するときに高さ調整膜を付け加えることによって凹凸部分の最高部の高さが調整される。これにより、凹凸部分の最高部の高さの調整が容易となる。このような高さ調整膜は、例えば、上述した電気回路配線を形成する際に使われる導電膜、絶縁膜などを利用して形成することが可能である。この場合には、電気回路配線の形成時に一緒に高さ調整膜を形成することができるので、工程の増加や複雑化を招くことなく都合がよい。なお、電気回路配線を形成するための薄膜とは別個に高さ調整膜を形成するようにしてもよい。

【００１４】

好ましくは、上記複数の第１のパッド電極のそれぞれは、最高部に対応する領

域における積層膜の膜構成が同じである。また、好ましくは、上記複数の第２のパッド電極のそれぞれは、最高部に対応する領域における下側の積層膜の膜構成が同じである。ここで、本発明において「膜構成が同じ」とは、膜厚、膜材料、製膜方法等のいずれか又は全てが同じであることを言う。このように、最高部の膜構成を同じにすることにより、各パッド電極の最高部の各種特性（例えば、導電率や機械的強度等）をより均質にすることができるので、導通状態のより一層の向上や、信頼性の向上を図ることが可能となる。

【００１５】

また、本発明の回路基板の製造方法は、積層膜によって形成される薄膜電気回路と、当該薄膜電気回路と他の回路との接続を行うための接続端子として用いられる複数の第１のパッド電極とを含む転写チップを第１の基板上に形成する転写チップ形成工程と、電気回路配線と、この電気回路配線に接続されると共に上記転写チップに形成される複数の第１のパッド電極のそれぞれに対応して転写対象領域に配置された複数の第２のパッド電極とを含む第２の基板を形成する転写先基板形成工程と、第１の基板上の転写チップを第２の基板上の転写対象領域へ転写することにより電気回路配線に薄膜電気回路を接続して回路基板を形成する転写工程と、を含む。そして、上記複数の第１のパッド電極は、転写チップの一面の全体に渡って配置され、各第１のパッド電極はその下側に存在する薄膜電気回路を構成する薄膜素子又は薄膜配線を覆って形成され、上記複数の第２のパッド電極は、複数の第１のパッド電極の配置に対応して転写対象領域の全体に渡って配置され、各第２のパッド電極はその下側に存在する電気回路配線を覆って形成されており、第１のパッド電極及び第２のパッド電極のそれぞれは、対向配置されて対をなす一組の第１及び第２のパッド電極のそれぞれの表面に生じる凹凸部分の最高部の高さの合計がほぼ一定となるように形成される。

【００１６】

上述したように、転写チップと転写先基板（第２の基板）のそれぞれに形成されるパッド電極は、その大きさ（接触面積）をある程度大きく確保することが望ましいことから、薄膜電気回路あるいは電気回路配線の各部をまたいで形成されることとなり、表面に凹凸が生じるのを回避することが難しくなる。このような

パッド電極の表面の凹凸は、転写時の接触不良を招く原因となりやすい。

【００１７】

そこで、本発明では、対向配置されて対をなす一組の第１及び第２のパッド電極について、各パッド電極の表面に生じる凹凸部分の最高部の高さの合計がほぼ一定となるように、第１及び第２のパッド電極のそれぞれを形成している。これにより、対向配置される第１及び第２のパッド電極のそれぞれを確実に接触させて、良好な導通状態を確保することが可能となる。

【００１８】

なお、本発明においても、第１及び第２のパッド電極のそれぞれについて、上述したような高さ調整膜を用いて最高部の高さを調整することは好ましい。更には、第１及び第２のパッド電極のそれぞれについて、最高部の膜構成を同じにすることも好ましい。かかる構成を採用することによる効果は上述した通りである。

【００１９】

また、上述した本発明の各々において、転写工程は、転写チップに形成された第１のパッド電極と第２の基板上に形成された第２のパッド電極の間に接着層を形成する工程を含むことが好ましい。これにより、第１及び第２のパッド電極間の接続をより強固かつ確実なものとすることが可能となる。なお、接着層は、例えば、導電性を有する接着剤や、導電性粒子を含んで構成される異方性導電膜などを用いて形成することが好適である。

【００２０】

また、転写チップ形成工程は、第１の基板と転写チップの間に介在し、エネルギーの付与によって状態変化を生じて前記転写チップとの固着度合いが弱まる性質を有する剥離層を形成する工程を含むことが好ましい。これにより、転写時に転写チップを第２の基板から剥離することが容易となる。なお、エネルギーの付与方法には、熱を与える方法や光照射を行う方法など種々の方法が考えられるが、特に、レーザー光等を用いた光照射による方法が好ましい。光照射による方法によれば、任意の領域へのエネルギー付与を行うことができ、併せて正確な位置合わせが可能となる。

【００２１】

また、本発明は、積層膜によって形成される薄膜電気回路とこの薄膜電気回路と他との接続を行うための複数のパッド電極とを少なくとも含む転写単位として第１の基板に形成され、当該第１の基板から配線が形成された第２の基板に転写される転写チップであって、上記複数のパッド電極は転写チップの一面の全体に渡って配置され、各パッド電極はその下側に存在する薄膜電気回路を構成する薄膜素子又は薄膜配線を覆って形成され、これによって表面に生じる凹凸部分の最高部の高さが各パッド電極において略同じとなるように形成されている。

【００２２】

かかる構成を採用することにより、転写チップが転写先基板（第２の基板）上の転写対象領域へ転写される際の接触面をほぼ等しい高さに揃えることができるので、良好な導通状態を確保することが可能となる。

【００２３】

また、本発明は、上述した本発明に係る転写チップを基板上に複数形成して構成される転写元基板でもある。また、当該転写元基板は、基板と転写チップの間に介在し、エネルギーの付与によって状態変化を生じて前記転写チップとの固着度合いが弱まる性質を有する剥離層をさらに含むことが好ましい。

【００２４】

また、本発明は、上述した本発明に係る製造方法により製造される回路基板を用いて製造される電気光学装置でもある。より具体的には、本発明は、上述した回路基板と当該回路基板によって動作が制御される電気光学素子を組み合わせて構成される電気光学装置である。あるいは、本発明は、上述した転写チップ又は上述した転写元基板を用いて製造される電気光学装置でもある。これにより、電気光学装置の良品率の向上、コスト削減、耐久性等の性能向上が可能となる。なお、本発明における「電気光学装置」には、エレクトロルミネッセンス（ＥＬ）素子、電気発光素子、プラズマ発光素子、電気泳動素子、液晶素子などの各種の電気光学素子を含んで構成される表示装置が含まれる。

【００２５】

また、本発明は、上述した本発明に係る電気光学装置を表示部として用いる電

子機器でもある。ここで、電子機器には、ビデオカメラ、携帯電話、パーソナルコンピュータ、携帯型情報端末装置（いわゆるＰＤＡ）や、その他各種のものが含まれる。本発明に係る電気光学装置を用いることにより、電子機器の良品率の向上、コスト削減、耐久性等の性能向上を図ることが可能となる。

【００２６】

【発明の実施の形態】

以下、本発明を適用した一実施形態の薄膜トランジスタ駆動型の表示装置について説明する。本実施形態では、薄膜トランジスタ駆動型の表示装置の一例として、電気光学素子の１つである有機ＥＬ素子を含んで構成される有機ＥＬ表示装置について説明する。

【００２７】

図１は、本実施形態の有機ＥＬ表示装置の構成について概略的に示す図である。同図に示す有機ＥＬ表示装置１００は、３つの色画素１、２、３を含んで構成される画素（基本画素）１０１をマトリクス状に多数配列して構成されている。各色画素は、例えば、色画素１が赤色、色画素２が緑色、色画素３が青色に対応している。各画素１０１は、複数の薄膜トランジスタ（ＴＦＴ）を含んで構成される駆動回路（薄膜電気回路）を内蔵したチップを用いて駆動される。

【００２８】

図２は、画素１０１の構造について説明する図である。図２（ａ）は画素１０１の平面図を示し、図２（ｂ）は図２（ａ）におけるＡ－Ａ’断面図を示している。なお、図２（ａ）では説明の便宜上、構成要素の一部を省略して示している。

【００２９】

図２に示すように、画素１０１は、ガラス等の絶縁材料からなる基板１０上に、下層側から順に、第１の配線層１２、第２の配線層１４、発光素子層１６を積層して形成されている。なお、図２（ａ）では、第１及び第２の配線層の構造を説明するために、第２の配線層１４の一部と発光素子層１６を省略して示している。

【００３０】

第１の配線層１２は、基板１０上に形成される配線２０と、当該配線２０と第２の配線層１４に含まれる配線（後述する）との間を電気的に接続するために設けられる開口部２２を含んで構成されている。この開口部２２を介して、第２の配線層１４に含まれる配線が部分的に配線２０と当接し、両者の電気的接続が図られる。また、各配線２０の間には、絶縁部材（例えば、酸化シリコン等）が形成されている。なお、図２（ａ）では当該絶縁部材については省略して示している。

【００３１】

第２の配線層１４は、第１の配線層１２上に形成される配線３０と、この配線３０と発光素子層１６に含まれる電極（後述する）との間を電気的に接続するためのプラグ３２と、発光素子層１６を駆動するためのチップ３４と、このチップ３４と配線３０との間を電気的に接続するための複数のパッド電極３６からなるパッド群３８を含んで構成されている。また、図２（ａ）では図示を省略しているが、各配線３０や各プラグ３２等の間には、絶縁部材（例えば、酸化シリコン等）が形成されている。なお、図２（ａ）では、チップ３４についても省略して示しているが、当該チップ３４は上述したパッド群３８上に形成される。

【００３２】

本実施形態では、第１の配線層１２及び第２の配線層によって電気回路配線が形成されている。また、チップ３４は、複数の薄膜トランジスタを含んで構成されており、１つの画素１０１内に含まれる各色画素１、２、３をそれぞれ独立に制御する機能を備えている。このチップ３４は、基板１０とは別の基板（転写元基板）上に形成され、その後に転写元基板から剥離して基板１０に転写される。なお当該チップ３４が「転写チップ」に対応する。当該転写方法の詳細については後述する。

【００３３】

発光素子層１６は、第２の配線層１４上に形成される３つの画素電極４０と、この画素電極４０と対向して配置される共通電極４２と、各画素電極４０と共通電極４２の間に配置される３つの発光層４４と、共通電極４２上に形成される保護層４６を含んで構成されている。また、各画素電極４０や各発光層４４等の間

には、絶縁部材（例えば、酸化シリコン等）が形成されている。各画素電極４０とその上に積層される各発光層４４、及び共通電極４２によって３つの発光素子（電気光学素子）が形成され、各発光素子によって色画素１、２、３がそれぞれ構成されている。上述したチップ３４により、各画素電極４０を介して各発光層４４に対してそれぞれ独立に電流が供給されるようになっており、各色画素１、２、３がそれぞれ独立にスイッチングされる。

【００３４】

次に、本実施形態のチップ３４の内部構造について、具体例を示して詳細に説明する。

【００３５】

図３は、チップ３４の内部構造を示す平面図である。図３では、チップ３４内に含まれる薄膜トランジスタ（ＴＦＴ）や薄膜配線などの構造を分かりやすくするために、これらの薄膜トランジスタ等の上面に設けられる構成要素を省略して示している。図示を省略されている構成要素については、後ほど説明する。

【００３６】

図３に示すように、チップ３４は、右側の領域に上下方向に並べて形成されている３つのスイッチング薄膜トランジスタＳＴ１、ＳＴ２、ＳＴ３と、左側の領域に左右方向に並べて形成されている３つのドライビング薄膜トランジスタＤＴ１、ＤＴ２、ＤＴ３を含んで構成されている。

【００３７】

本実施形態では、一の色画素について、一のスイッチング薄膜トランジスタと一のドライビング薄膜トランジスタを組み合わせて構成される画素回路によって駆動している。具体的には、図３に示すスイッチング薄膜トランジスタＳＴ１は、入力信号（走査信号）に応じてドライビング薄膜トランジスタＤＴ１を動作させる。ドライビング薄膜トランジスタＤＴ１は、色画素１を構成する発光層４４に流す電流を制御する。同様に、スイッチング薄膜トランジスタＳＴ２とドライビング薄膜トランジスタＤＴ２を組み合わせた画素回路によって、色画素２を構成する発光層４４に流す電流を制御する。スイッチング薄膜トランジスタＳＴ３とドライビング薄膜トランジスタＤＴ３を組み合わせた画素回路によって、色画

素３を構成する発光層４４に流す電流を制御する。

【００３８】

上述した各スイッチング薄膜トランジスタ及び各ドライビング薄膜トランジスタは、第１の薄膜配線層と、薄膜トランジスタの活性領域などを形成する半導体膜を含んでおり、第１の薄膜配線層上に形成される半導体層と、当該半導体層上に形成される第２の薄膜配線層を含んで構成されている。図３では、各層の区別を明確にするために、第１の薄膜配線層が白抜き、半導体層が右下がりの粗いハッチング、第２の薄膜配線層が右上がりの細かいハッチングによりそれぞれ示されている。また、各層の層間には、SiO_2等からなる絶縁層が形成されている。

【００３９】

次に、図３を参照しながら、第１の薄膜配線層、半導体層、第２の薄膜配線層のそれぞれについて、その構造をさらに詳細に説明する。

【００４０】

第１の薄膜配線層は、薄膜配線５０ａ～５０ｄを含んで構成されている。薄膜配線５０ａは、各スイッチング薄膜トランジスタＳＴ１、ＳＴ２、ＳＴ３のゲート電極を兼ねているとともに、第２の薄膜配線層に含まれる薄膜配線５４ａと電気的に接続されている。この薄膜配線５０ａに対して、薄膜配線５４ａを介して走査信号を供給することにより、各スイッチング薄膜トランジスタＳＴ１、ＳＴ２、ＳＴ３の動作を制御することができる。

【００４１】

また、薄膜配線５４ａは、図３においては図示を省略しているが、実際には第２の薄膜配線層の上側に設けられるパッド電極（電気的接続を担う接続端子）と電気的に接続されており、このパッド電極を介してチップ３４の外部から薄膜配線５４ａに走査信号が伝達される。パッド電極の詳細については後ほど説明する。このように本実施形態では、各スイッチング薄膜トランジスタＳＴ１、ＳＴ２、ＳＴ３に走査信号を供給する配線を共通化して１つの共通配線とすることにより、第１の薄膜配線層の形成に要する面積を削減するとともにパッド電極の数を削減し、チップ３４のサイズの縮小を達成している。さらには、パッド電極数（

換言すれば接続箇所）が少なくなることにより、転写時に接続不良が発生する頻度も少なくなる。

【００４２】

薄膜配線５０ｂは、半導体膜５２ａと電気的に接続されており、スイッチング薄膜トランジスタＳＴ１から供給される電流をドライビング薄膜トランジスタＤＴ１に伝達する機能を担うとともに、ドライビング薄膜トランジスタＤＴ１のゲート電極を兼ねる。

【００４３】

薄膜配線５０ｃは、第２の薄膜配線層に含まれる薄膜配線５４ｄを介して半導体膜５２ｂと電気的に接続されており、スイッチング薄膜トランジスタＳＴ２から供給される電流をドライビング薄膜トランジスタＤＴ２に伝達する機能を担うとともに、ドライビング薄膜トランジスタＤＴ２のゲート電極を兼ねる。

【００４４】

薄膜配線５０ｄは、半導体膜５２ｃと電気的に接続されており、スイッチング薄膜トランジスタＳＴ３から供給される電流をドライビング薄膜トランジスタＤＴ３に伝達する機能を担うとともに、ドライビング薄膜トランジスタＤＴ３のゲート電極を兼ねる。

【００４５】

半導体層は、半導体膜５２ａ～５２ｋを含んで構成されている。半導体膜５２ａは、一端側が薄膜配線５４ｂと接続され、他端側が薄膜配線５０ｂと接続されており、スイッチング薄膜トランジスタＳＴ１の活性領域を担う。半導体膜５２ｂは、一端側が薄膜配線５４ｃと接続され、他端側が薄膜配線５４ｄと接続されており、スイッチング薄膜トランジスタＳＴ２の活性領域を担う。半導体膜５２ｃは、一端側が薄膜配線５４ｅと接続され、他端側が薄膜配線５０ｄと接続されており、スイッチング薄膜トランジスタＳＴ３の活性領域を担う。

【００４６】

半導体膜５２ｄは、薄膜配線５４ｇ、５４ｆのそれぞれと接続されるとともに、後述するパッド電極（ここでは図示せず）と接続されており、ドライビング薄膜トランジスタＤＴ１の活性領域を担う。半導体膜５２ｅは、薄膜配線５４ｈ、

５４ｉのそれぞれと接続されるとともに、後述するパッド電極（ここでは図示せず）と接続されており、ドライビング薄膜トランジスタＤＴ２の活性領域を担う。半導体膜５２ｆは、薄膜配線５４ｊ、５４ｋのそれぞれと接続されるとともに、後述するパッド電極（ここでは図示せず）と接続されており、ドライビング薄膜トランジスタＤＴ３の活性領域を担う。

【００４７】

半導体膜５２ｇは、薄膜配線５４ｃの下層に形成されており、当該薄膜配線５４ｃの上層に形成されるパッド電極の高さを調整するために用いられている。同様に、半導体膜５２ｈは、薄膜配線５４ｅの下層に形成されており、当該薄膜配線５４ｅの上層に形成されるパッド電極の高さを調整するために用いられている。また、半導体膜５２ｉ、５２ｊ、５２ｋのそれぞれについても同様であり、薄膜配線５４ｂ、５４ａ、５４ｋのそれぞれの上層に形成されるパッド電極の高さを調整するために用いられている。なお、パッド電極の詳細（特に、パッド電極の「高さ」の規定方法など）については、後ほど詳細に説明する。

【００４８】

このように、本実施形態では、薄膜トランジスタの活性領域を担う半導体膜を形成する際に、併せて、パッド電極の高さを調整するための半導体膜、すなわち「高さ調整膜」を形成している。これにより、製造工程の増加や複雑化を招くことなく、パッド電極の高さを適宜調整することを可能としている。なお、半導体膜を用いる場合のほかに、薄膜配線や絶縁膜などを利用して高さ調整膜を形成してもよい。

【００４９】

第２の薄膜配線層は、薄膜配線５４ａ～５４ｋを含んで構成されている。ここで、第２の薄膜配線層の上側に形成され、チップ３４の内部回路と外部との電気的接続を担うパッド電極について、薄膜配線５４ａ～５４ｋとの接続関係を含めて説明する。

【００５０】

図４は、パッド電極について説明する図である。同図に示すように、チップ３４の第２の薄膜配線層の上側には、１０個のパッド電極５６ａ～５６ｊが設けら

れる。これらのパッド電極５６ａ～５６ｊは、上述した画素１０１に含まれる各パッド電極３６（図２参照）と一対一に対応するように構成されている。図４に示すチップ３４を反転し、各パッド電極５６ａ等を上述した図２に示す画素１０１に含まれるパッド群３８の各パッド電極３６に対して向かい合わせて貼り合わせることによりチップ３４の転写がなされる。チップ３４の転写方法の詳細については後述する。

【００５１】

パッド電極５６ａは、第２の薄膜配線上の絶縁膜に形成された開口部５５ａを介して薄膜配線５４ａと電気的に接続されている。このパッド電極５６ａを介して外部から薄膜配線５４ａに走査信号が供給されて、スイッチングトランジスタＳＴ１～ＳＴ３が駆動される。パッド電極５６ｂは、薄膜配線５４ｂ上の絶縁膜に形成された開口部５５ｂを介して薄膜配線５４ｂと電気的に接続されている。このパッド電極５６ｂを介して外部から薄膜配線５４ｂに電流が供給され、スイッチング薄膜トランジスタＳＴ１の活性領域に電流が供給される。パッド電極５６ｃは、薄膜配線５４ｃ上の絶縁膜に形成された開口部５５ｃを介して薄膜配線５４ｃと電気的に接続されている。このパッド電極５６ｃを介して外部から薄膜配線５４ｃに電流が供給され、スイッチング薄膜トランジスタＳＴ２の活性領域に電流が供給される。パッド電極５６ｄは、薄膜配線５４ｅ上の絶縁膜に形成された開口部５５ｄを介して薄膜配線５４ｅと電気的に接続されている。このパッド電極５６ｄを介して外部から薄膜配線５４ｅに電流が供給され、スイッチング薄膜トランジスタＳＴ３の活性領域に電流が供給される。

【００５２】

パッド電極５６ｅは、薄膜配線５４ｆ上の絶縁膜に形成された開口部５５ｅを介して薄膜配線５４ｆと電気的に接続されている。このパッド電極５６ｅを介して外部から薄膜配線５４ｆに電流が供給され、ドライビング薄膜トランジスタＤＴ１の活性領域に電流が供給される。パッド電極５６ｆは、薄膜配線５４ｇ上の絶縁膜に形成された開口部５５ｆを介して薄膜配線５４ｇと電気的に接続されている。このパッド電極５６ｅは、上述したパッド電極３６の１つと電気的に接続される。そして、ドライビング薄膜トランジスタＤＴ１から出力される電流が薄

膜配線５４ｇ、パッド電極５６ｆ及び当該パッド電極５６ｆと電気的に接続されたパッド電極３６を介して、色画素１に供給される。

【００５３】

パッド電極５６ｇは、薄膜配線５４ｈ上の絶縁膜に形成された開口部５５ｇを介して薄膜配線５４ｈと電気的に接続されている。このパッド電極５６ｇを介して外部から薄膜配線５４ｈに電流が供給され、ドライビング薄膜トランジスタＤＴ２の活性領域に電流が供給される。パッド電極５６ｈは、薄膜配線５４ｉ上の絶縁膜に形成された開口部５５ｈを介して薄膜配線５４ｉと電気的に接続されている。このパッド電極５６ｈは、上述したパッド電極３６の１つと電気的に接続される。そして、ドライビング薄膜トランジスタＤＴ２から出力される電流が薄膜配線５４ｉ、パッド電極５６ｈ及び当該パッド電極５６ｈと電気的に接続されたパッド電極３６を介して、色画素２に供給される。

【００５４】

パッド電極５６ｉは、薄膜配線５４ｊ上の絶縁膜に形成された開口部５５ｉを介して薄膜配線５４ｊと電気的に接続されている。このパッド電極５６ｉを介して外部から薄膜配線５４ｊに電流が供給され、ドライビング薄膜トランジスタＤＴ３の活性領域に電流が供給される。パッド電極５６ｊは、薄膜配線５４ｋ上の絶縁膜に形成された開口部５５ｊを介して薄膜配線５４ｋと電気的に接続されている。このパッド電極５６ｊは、上述したパッド電極３６の１つと電気的に接続される。そして、ドライビング薄膜トランジスタＤＴ３から出力される電流が薄膜配線５４ｋ、パッド電極５６ｉ及び当該パッド電極５６ｉと電気的に接続されたパッド電極３６を介して、色画素３に供給される。

【００５５】

次に、チップ３４上に設けられる各パッド電極５６ａ～５６ｊの高さについて説明する。

【００５６】

図５は、パッド電極の高さについて説明する図である。具体的には、図５（ａ）はパッド電極５６ｄを図３及び図４に示すＢ－Ｂ’方向から見た断面図を示し、図５（ｂ）はパッド電極５６ｆを図３及び図４に示すＣ－Ｃ’方向から見た断

面図を示している。

【００５７】

図５（ａ）に示すように、パッド電極５６ｄは、チップ３４の底面からの高さ（離間する距離）が最も高い部分である「最高部」を２カ所有している。そして、これら２カ所の最高部５６ｄ－１、５６ｄ－２は、それぞれチップ３４の底面からの高さがＬ１となっている。また、図５（ｂ）に示すように、パッド電極５６ｆは、１カ所の最高部５６ｆ－１を有しており、当該最高部５６ｆ－１のチップ３４の底面からの高さはＬ１となっている。更には、図示しない他のパッド電極５６ａ等の各々についても、チップ３４の底面からの高さがＬ１となっている最高部を少なくとも１カ所ずつ有している。

【００５８】

すなわち、複数のパッド電極５６ａ～５６ｊは、薄膜配線層や半導体層を積層して形成される薄膜電気回路の上面に形成されるため、外部（具体的には、対向配置される各パッド電極３４）との接触面が非平坦となる。そこで、本実施形態では、各パッド電極のそれぞれが少なくとも１カ所ずつの最高部を有しており、かつ、それらの最高部がほぼ同じ高さＬ１となるように各パッド電極を形成している。このように、最高部の高さがほぼＬ１で同じとなるように調整するために、薄膜電気回路の構成には直接的に寄与しない半導体膜（あるいは絶縁膜など）を高さ調整膜として適宜形成している。また、複数のパッド電極５６ａ～５６ｊのそれぞれは、最高部に対応する領域における積層膜の膜構成が同じとなっている。

【００５９】

なお、図５に示す例では、チップ３４の底面を「基準面」として各最高部の高さＬ１を規定していたが、基準面はこれに限定されるものではなく、共通の基準とすることが可能な他の平面（例えば、薄膜配線５０ａ等の形成面や、半導体膜５２ｅ等の形成面など）を基準面としてもよい。

【００６０】

次に、上述したチップ３４に形成される各パッド電極５６ａ～５６ｊと一対一に対応付けて各画素１０１に形成される複数のパッド電極３６について詳細に説

明する。

【００６１】

図６及び図７は、画素１０１に形成されるパッド電極３６について説明する図である。図６は、図２に示した画素１０１内のパッド電極３６を含む領域を拡大して示す図である。ここでは説明の便宜上、各パッド電極３６の区別を容易にするために、パッド電極３６ａ～３６ｊと符号を置き換えて示している。各パッド電極３６ａ～３６ｊのそれぞれは、チップ３４上の各パッド電極５６ａ～５６ｊのそれぞれと対応している。また、図７（ａ）はパッド電極３６ｄを図６に示すＤ－Ｄ’方向から見た断面図を示し、図７（ｂ）はパッド電極３６ｆを図６に示すＥ－Ｅ’方向から見た断面図を示している。

【００６２】

図７（ａ）に示すように、パッド電極３６ｄは、画素部１０１が形成される基板１０の底面からの高さが最も高い部分である「最高部」を２カ所有している。そして、これら２カ所の最高部３６ｄ－１、３６ｄ－２は、それぞれ基板１０の底面からの高さがＬ２となっている。また、図７（ｂ）に示すように、パッド電極３６ｆは、２カ所の最高部３６ｆ－１、３６ｆ－２を有しており、これらの最高部３６ｆ－１、３６ｆ－２の高さがＬ２となっている。更には、図示しない他のパッド電極３６ａ等の各々についても、基板１０の底面からの高さがＬ２となっている最高部を少なくとも１カ所ずつ有している。

【００６３】

すなわち、複数のパッド電極３４ａ～３４ｊは、配線層や絶縁層を積層して形成される電気回路配線の上面に形成されるため、外部（具体的には、対向配置される各パッド電極５６ａ等）との接触面が非平坦となる。そこで、本実施形態では、各パッド電極のそれぞれが少なくとも１カ所ずつの最高部を有しており、かつ、それらの最高部がほぼ同じ高さＬ２となるように各パッド電極を形成している。また、複数のパッド電極３４ａ～３４ｊのそれぞれは、最高部に対応する領域における積層膜の膜構成が同じとなっている。

【００６４】

なお、図７に示す例では、特に高さ調整膜は設けられていないが、パッド電極

の形成位置によっては必要となる場合もある。このような場合には、最高部の高さがほぼＬ２で同じとなるように調整するために、電気回路配線の構成には直接的に寄与しない絶縁膜などを高さ調整膜として適宜形成すればよい。具体的な方法は、上述したパッド電極５６ａ等の場合（図５参照）と同様である。

【００６５】

本実施形態のチップ３４は上述したような構成を有しており、次に、本実施形態の有機ＥＬ表示装置の製造方法について説明を行う。本実施形態では、上述したチップ３４を転写元基板上に複数形成しておき、その後当該チップ３４を第１の基板から剥離して、有機ＥＬ表示装置を構成する基板上に転写する転写技術を用いている。以下の説明では、チップ３４の転写方法について着目して詳細に説明する。

【００６６】

図８及び図９は、本実施形態に係る製造方法を説明する図である。当該転写方法は、以下に説明する第１工程～第５工程を含んでいる。

【００６７】

＜第１工程＞

第１工程は、図８（ａ）に示すように、転写元基板６０上に剥離層（光吸収層）６２を形成する。

【００６８】

転写元基板６０は、光が透過し得る透光性を有するものであることが好ましい。これにより、転写元基板を介して剥離層に光を照射することができ、剥離層を光照射によって迅速かつ正確に剥離させることができる。この場合、光の透過率は１０％以上であるのが好ましく、５０％以上であるのがより好ましい。この透過率が高い程光の減衰（ロス）がより少なくなり、剥離層６２を剥離するのにより小さな光量で済むからである。

【００６９】

また、転写元基板６０は、信頼性の高い材料で構成されていることが好ましく、特に、耐熱性に優れた材料で構成されていることが好ましい。その理由は、例えば、被転写体としてのチップ３４を形成する際に、その種類や形成方法によっ

てはプロセス温度が高くなる（例えば３５０～１０００℃程度）ことがあるが、その場合でも、転写元基板６０が耐熱性に優れていれば、転写元基板６０上へのチップ３４の形成に際し、その温度条件等の成膜条件の設定の幅が広がるからである。これにより、転写元基板上に多数のチップを製造する際に、所望の高温処理が可能となり、信頼性が高く高性能の素子や回路を製造することができる。

【００７０】

従って、転写元基板６０は、チップ３４の形成の際の最高温度をTmaxとしたとき、歪点がTmax以上の材料で構成されているものが好ましい。具体的には、転写元基板６０の構成材料は、歪点が３５０℃以上のものが好ましく、５００℃以上のものがより好ましい。このようなものとしては、例えば、石英ガラス、コーニング７０５９、日本電気ガラスＯＡ－２等の耐熱性ガラスが挙げられる。

【００７１】

また、転写元基板６０の厚さは、特に限定されないが、通常は、０．１～５．０mm程度であるのが好ましく、０．５～１．５mm程度であるのがより好ましい。転写元基板６０の厚さがより厚ければより強度が上昇し、より薄ければ転写元基板６０の透過率が低い場合に、光の減衰をより生じにくくなるからである。なお、転写元基板６０の光の透過率が高い場合には、その厚さは、前記上限値を超えるものであってもよい。なお、光を均一に照射できるように、転写元基板６０の厚さは、均一であるのが好ましい。

【００７２】

このように転写元基板には数々の条件があるが、転写元基板は最終製品となる転写先基板とは異なり、繰り返し利用することが可能であるため、比較的高価な材料を用いても繰り返し使用によって製造コストの上昇を少なくすることが可能である。

【００７３】

剥離層６２は、照射される光を吸収し、その層内および／または界面において剥離（以下、「層内剥離」、「界面剥離」と言う）を生じるような性質を有するものであり、好ましくは、光の照射により、剥離層６２を構成する物質の原子間または分子間の結合力が消失または減少すること、すなわち、アブレーションが

生じて層内剥離および／または界面剥離に至るものがよい。

【００７４】

さらに、光の照射により、剥離層６２から気体が放出され、分離効果が発現される場合もある。すなわち、剥離層６２に含有されていた成分が気体となって放出される場合と、剥離層６２が光を吸収して一瞬気体になり、その蒸気が放出され、分離に寄与する場合とがある。このような剥離層６２の組成としては、例えば、次のＡ～Ｆに記載されるものが挙げられる。

【００７５】

（Ａ）アモルファスシリコン（ａ－Ｓｉ）

このアモルファスシリコン中には、水素（Ｈ）が含有されていてもよい。この場合、Ｈの含有量は、２原子％以上程度であるのが好ましく、２～２０原子％程度であるのがより好ましい。

【００７６】

（Ｂ）酸化ケイ素又はケイ酸化合物、酸化チタンまたはチタン酸化合物、酸化ジルコニウムまたはジルコン酸化合物、酸化ランタンまたはランタン酸化化合物等の各種酸化物セラミックス、透電体（強誘電体）あるいは半導体

（Ｃ）ＰＺＴ、ＰＬＺＴ、ＰＬＬＺＴ、ＰＢＺＴ等のセラミックスあるいは誘電体（強誘電体）

（Ｄ）窒化珪素、窒化アルミ、窒化チタン等の窒化物セラミックス

【００７７】

（Ｅ）有機高分子材料

有機高分子材料としては、－ＣＨ－、－ＣＯ－（ケトン）、－ＣＯＮＨ－（アミド）、－ＮＨ－（イミド）、－ＣＯＯ－（エステル）、－Ｎ＝Ｎ－（アゾ）、－ＣＨ＝Ｎ－（シッフ）等の結合（光の照射によりこれらの結合が切断される）を有するもの、特に、これらの結合を多く有するものであればいかなるものでもよい。また、有機高分子材料は、構成式中に芳香族炭化水素（１または２以上のベンゼン環またはその縮合環）を有するものであってもよい。

このような有機高分子材料の具体例としては、ポリエチレン，ポリプロピレンのようなポリオレフィン，ポリイミド，ポリアミド，ポリエステル，ポリメチル

メタクリレート（ＰＭＭＡ），ポリフェニレンサルファイド（ＰＰＳ），ポリエーテルスルホン（ＰＥＳ），エポキシ樹脂等が挙げられる。

【００７８】

（Ｆ）金属

金属としては、例えば、Ａｌ，Ｌｉ，Ｔｉ，Ｍｎ，Ｉｎ，Ｓｎ，Ｙ，Ｌａ，Ｃｅ，Ｎｄ，Ｐｒ，Ｇｄ，Ｓｍまたはこれらのうちの少なくとも１種を含む合金が挙げられる。その他、剥離層を水素含有合金で構成することもできる。剥離層に水素含有合金を用いた場合、光の照射に伴い水素が放出され、これによって剥離層における剥離が促進されるからである。

【００７９】

また、剥離層を窒素含有合金で構成することもできる。剥離層に窒素含有合金を用いた場合、光の照射に伴い窒素が放出され、これによって剥離層における剥離が促進されるからである。さらに、剥離層を多層膜からなるものとすることもできる。多層膜は、例えばアモルファスシリコン膜とその上に形成された金属膜とからなるものとすることができる。多層膜の材料として、上記したセラミックス，金属，有機高分子材料の少なくとも一種から構成することもできる。

【００８０】

剥離層６２の形成方法は、特に限定されず、膜組成や膜厚等の諸条件に応じて適宜選択される。たとえば、ＣＶＤ、スパッタリング、等の各種気相成膜法、各種メッキ法、スピンコート等の塗布法、各種印刷法、転写法、インクジェットコーティング法、粉末ジェット法等が挙げられ、これらのうちの２以上を組み合わせて形成することもできる。

【００８１】

なお、図８（ａ）は示されないが、転写元基板６０と剥離層６２の性状に応じて、両者の密着性の向上等を目的とした中間層を転写元基板６０と剥離層６２の間に設けても良い。この中間層は、例えば製造時または使用時において被転写層を物理的または化学的に保護する保護層、絶縁層、被転写層へのまたは被転写層からの成分の移行（マイグレーション）を阻止するバリア層、反射層としての機能のうち少なくとも一つを発揮するものである。

【００８２】

＜第２工程＞

次に、第２工程について説明する。第２工程は、図８（ｂ）に示すように、剥離層６２上に複数のチップ３４を形成する。複数のチップ３４から構成される層を被転写層６４と称する。

【００８３】

薄膜トランジスタ等の製造には、ある程度の高温プロセスが要求され、薄膜トランジスタ等を形成する基材は転写元基板のように種々の条件を満たす必要がある。本実施形態の製造方法では、種々の製造条件を満たす転写元基板で薄膜トランジスタ等を製造してから、この製造条件を満たさない最終基板に薄膜トランジスタ等を転写することが可能となる。すなわち、本実施形態の製造方法では、最終基板として、より安価な材料からなる基板を用いることができるようになり製造コストを削減することが可能となる利点や、可撓性を有するフレキシブル基板などを用いることができるようになり最終基板の選択の幅が広くなるなどの利点がある。

【００８４】

ここで、被転写層６４における各チップ３４の分離について説明する。各チップ３４の分離方法としては、各々をエッチング等により分離する方法、特に分離させるための構造を設けない方法、剥離層のみを分離する方法及び所定の構造を転写元基板に形成することにより個々の被転写体に分離し易くする方法が考えられる。ここでは個々のチップ３４を完全に分離する方法を説明する。

【００８５】

図８（ｃ）に示すように、各チップ３４を個々に分離するために、チップ３４に相当する領域の外周にウェットエッチングまたはドライエッチング等によって凹部構造となる溝６２ｃを形成して各々のチップ３４を島状に残す。この溝６２ｃは、基板の厚さ方向において、被転写層６４の全部及び剥離層６２の全部（図８（ｃ）参照）又は一部（図８（ｄ）参照）をカットしている。このカットは、被転写層６４のみを対象とするより浅いものであっても良い。この溝６２ｃは、図８（ｄ）に示すように剥離層６２の一部までエッチングして形成しておくほか

、図８（ｃ）に示すように、剥離層６２も完全にエッチングして、各々のチップ３４とその直下の剥離層６２とを同じ形状で島状に残すようにしてもよい。同一のチップ３４を形成し、等しいピッチでエッチングして各被転写体を転写元基板６０上に並べた配置にすることによって、剥離工程（後述する第４及び第５工程）で所望のチップ３４のみを転写することが容易となる。

【００８６】

予め被転写層６４をカットしておくことによって、剥離体の一部をその領域の形に沿ってきれいに剥離することが可能となり、当該領域が剥離の際に破壊されることを防止することが可能となる。また剥離に伴う被転写層６４の破断が隣接領域に及ばないようにすることが可能となる。また、膜厚方向にカットを入れておくことによって、特定のチップ３４を転写先基材に接合するための接着層の接合力が弱い場合であってもチップ３４を剥がすことを可能とする。また、転写対象となる領域の外観が明確であるので基板間の転写の際の位置合わせが容易となる。

【００８７】

なお、図８（ｅ）に示すように、剥離層６２のチップ３４への接着面積が被転写体の剥離層接合面の全面積よりも小さくなるようにオーバーエッチングしてもよい。このように剥離層６２をオーバーエッチングすることによって、剥離層の面積が少なくなるため剥離層６２に光を照射して剥離する際に少ない力で確実に剥離できるとともに、剥離層６２を縮小することによって剥離の際に必要な光エネルギー量を減らすことができるからである。

【００８８】

さらに、図８（ｄ）に示すように、被転写層６４のみにエッチングして溝６２ｃを形成しておき剥離層６２は連続させたまま残しておいてもよい。チップ３４が形成された領域に満遍なくエネルギーを付与できるのならこの領域の剥離層６２に確実に剥離を生じさせることができるため、剥離層６２自体に亀裂を設けていなくても所望の被転写体のみを剥離させることが可能である。

【００８９】

＜第３工程＞

次に、図９（ａ）に示すように、転写元基板６０のチップ３４の形成側の面と、転写先基板６６のチップ３４を転写する側の面とを、アライメントしながら重ね合わせ、必要に応じて押圧力を付加することによって、転写するべきチップ３４のみを選択的に、導電性を有する接着層６８を介して転写先基板６６側に接合させる。

【００９０】

ここで、本実施形態においては、上述した基板１０上に第１の配線層１２を形成し、当該第１の配線層１２上に配線３０及びパッド電極３６を形成した状態のもの（図２参照）が図９（ａ）に示す転写先基板６６に相当する。そして、この転写先基板６６に含まれる各パッド電極３６と、転写対象となるチップ３４に設けられている各パッド電極５６ａ等と当接させてチップ３４の貼り合わせが行われる。

【００９１】

上述した接着層６８を構成する接着剤の好適な例としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気硬化型接着剤等の各種硬化型接着剤が挙げられる。接着剤の組成としては、例えば、エポキシ系、アクリレート系、シリコーン系等、いかなるものでもよい。また市販の接着剤を用いる場合、使用する接着剤は適当な溶剤を添加することによって、塗布するために好適な粘度に調節してもよい。

【００９２】

本実施形態において、接着層６８は、転写するべきチップ３４上にのみ、あるいは転写するべきチップ３４に対応する転写先基板６６上にのみ形成される。このような接着層６８の局部形成は、種々の印刷法や液体吐出法を適用して実施できる。液体吐出法には、圧電体の変形を利用して液体を吐出するピエゾジェット法や熱により気泡を発生させて液体を吐出する方法等がある。本実施の形態にあっては、インクジェットコーティング（液体吐出）法を用いた接着層６８の形成を例示する。

【００９３】

なお、図１０に示すように、導電性粒子を含んで構成される異方性導電膜を用

いて接着層６９を形成することも好適である。この場合には、個々のパッド電極に個別的に接着層を設ける必要がないので位置合わせ精度がそれほど要求されず、接着層の形成が容易となる利点がある。

【００９４】

＜第４工程＞

次に、図９（ｂ）に示すように、転写元基板６０と転写先基板６６との接合体の転写元基板６０側から、転写するべきチップ３４の剥離層６２のみに選択的に光Ｌを照射することによって、転写するべきチップ３４を支持している剥離層６２のみに剥離（層内剥離および／または界面剥離）を生じさせる。

【００９５】

剥離層６２の層内剥離および／または界面剥離が生じる原理は、剥離層６２の構成材料にアブレーションが生じること、また、剥離層６２に含まれているガスの放出、さらには照射直後に生じる溶融、蒸散等の相変化によるものである。

【００９６】

ここで、アブレーションとは、照射光を吸収した固定材料（剥離層６２の構成材料）が光化学的または熱的に励起され、その表面や内部の原子または分子の結合が切断されて放出することをいい、主に、剥離層６２の構成材料の全部または一部が溶融、蒸散（気化）等の相変化を生じる現象として現れる。また、前記相変化によって微小な発泡状態となり、結合力が低下することもある。

【００９７】

剥離層６２が層内剥離を生じるか、界面剥離を生じるか、またはその両方であるかは、剥離層６２の組成や、その他種々の要因に左右され、その要因の１つとして、照射される光の種類、波長、強度、到達深さ等の条件が挙げられる。

【００９８】

照射する光Ｌとしては、剥離層６２に層内剥離および／または界面剥離を起こさせるものであればいかなるものでもよく、例えば、Ｘ線、紫外線、可視光、赤外線、レーザー光等が挙げられる。

【００９９】

そのなかでも、剥離層６２の剥離（アブレーション）を生じさせ易く、かつ高

精度の局部照射が可能である点で、レーザー光が好ましい。このレーザー光としては、波長１００ｎｍ～３５０ｎｍを有するレーザー光が好ましい。このように短波長レーザー光を用いることにより、光照射精度が高められるとともに、剥離層６２における剥離を効果的に行うことができる。

【０１００】

このようなレーザー光を発生させるレーザー装置としては、エキシマレーザーが好適に用いられる。エキシマレーザーは、短波長域で高エネルギーを出力するため、極めて短時間で剥離層６２にアブレーションを生じさせることができ、よって隣接する転写先基板６６や第１基板６０等に温度上昇をほとんど生じさせることなく、チップ３４等に劣化、損傷を生じさせることなく、剥離層６２を剥離することができる。

【０１０１】

あるいは、剥離層６２に、例えばガス放出、気化、昇華等の相変化を起こさせて分離特性を与える場合、照射されるレーザー光の波長は、３５０ｎｍ～１２００ｎｍ程度が好ましい。このような波長のレーザー光は、ＹＡＧ、ガスレーザーなどの一般加工分野で広く使用されるレーザー光源や照射装置を用いることができ、光照射を安価にかつ簡単に行うことができる。また、このような可視光領域の波長のレーザー光を用いることによって、転写元基板６０が可視光透光性であればよく、転写元基板６０の選択の自由度を広げることができる。

【０１０２】

また、照射されるレーザー光のエネルギー密度、特に、エキシマレーザーの場合のエネルギー密度は、１０～５０００ｍＪ／ｃｍ^{2}程度とするのが好ましく、１００～５００ｍＪ／ｃｍ^{2}程度とするのがより好ましい。また、照射時間は、１～１０００ｎｓｅｃ程度とするのが好ましく、１０～１００ｎｓｅｃ程度とするのがより好ましい。エネルギー密度がより高くまたは照射時間がより長い程アブレーション等が生じ易く、一方で、エネルギー密度がより低くまたは照射時間がより短い程剥離層６２を透過した照射光によりチップ３４等に悪影響を及ぼすおそれを低減できるからである。

【０１０３】

＜第５工程＞

次に、図９（ｃ）に示すように、転写元基板６０と転写先基板６６に、双方を離間させる方向に力を加えることによって、転写先基板６６から転写元基板６０を取り外す。前記第４工程によって、転写先基板６６に転写させるべきチップ３４の剥離層６２がチップ３４から剥離していることから、これらの転写するべきチップ３４は第１基板６０側と切断されている。また転写するべきチップ３４は、接着層６８によって転写先基板６６に接合されている。

【０１０４】

なお、前記第４工程において、剥離層６２は完全に剥離を生じさせることが望ましいが、転写するべきチップ３４の接着層６８の接着強度の方が、残存する剥離層６２による接合力よりも勝っており、結果として転写元基板６０と転写先基板６６を引き離す際に、転写するべきチップ３４が確実に転写先基板６６側に転写されるならば、剥離層６２の一部のみに剥離を生じさせてもよい。

【０１０５】

このように被転写体の転写は、剥離層の剥離によって弱まった剥離層の結合力と、被転写体に適用された接着層の結合力との相対的な力関係で定まる。剥離層による剥離が充分ならば接着層の結合力が弱くても被転写体の転写が可能であり、逆に剥離層による剥離が不十分でも接着層の結合力が高ければ被転写体を転写することが可能である。

【０１０６】

図９（ｃ）に示すように、転写先基板６６から転写元基板６０を引き離すことにより、転写先基板６６上の所望の位置にチップ３４が転写される。その後、チップ３４等を覆う絶縁膜等を形成することによって図２に示した第２の配線層１４が形成されて回路基板が完成し、さらに第２の配線層１４上に発光素子層１６を形成することにより、有機ＥＬ表示装置１００が形成される。

【０１０７】

なお、転写先基板６６に転写されたチップ３４には、剥離層６２の剥離残分が付着している場合があり、これを完全に取り除くことが望ましい。残存している剥離層６２を除去するための方法は、例えば洗浄、エッチング、アッシング、研

磨等の方法、またはこれらを組み合わせた方法の中から適宜選択して採用することができる。

【０１０８】

同様に、チップ３４の転写を終えた転写元基板６０の表面に剥離層６２の剥離残分が付着している場合には、前記の転写先基板６６と同様に除去することができる。これによって転写元基板６０を再利用（リサイクル）に供することができる。このように転写元基板６０を再利用することにより、製造コストの無駄を省くことができる。これは石英ガラスのような高価な材料、希少な材料からなる転写元基板６０を用いる場合に特に有効となる。

【０１０９】

このように、本実施形態では、チップ３４側に設けられるパッド電極と、転写先基板６６（画素１０１が形成される基板１０）側に設けられるパッド電極のそれぞれについて、その表面に凹凸部分の最高部、すなわち最も高い部分の高さが略同じとなるように各パッド電極を形成している。これにより、チップ３４が基板１０上の転写対象領域へ転写される際の接触面をほぼ等しい高さに揃えることができるので、良好な導通状態を確保することが可能となる。

【０１１０】

次に、本実施形態の有機ＥＬ表示装置１００を含んで構成される各種の電子機器について説明する。図１１は、本実施形態に係る有機ＥＬ表示装置１００を適用可能な電子機器の具体例を示す図である。

【０１１１】

図１１（ａ）は携帯電話への適用例であり、当該携帯電話２３０は、アンテナ部２３１、音声出力部２３２、音声入力部２３３、操作部２３４、および本実施形態の有機ＥＬ表示装置１００を備えている。このように本発明に係る表示装置は表示部として利用可能である。

【０１１２】

図１１（ｂ）はビデオカメラへの適用例であり、当該ビデオカメラ２４０は、受像部２４１、操作部２４２、音声入力部２４３、および本実施形態の有機ＥＬ表示装置１００を備えている。このように本発明に係る表示装置は、ファインダ

や表示部として利用可能である。

【０１１３】

図１１（ｃ）は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ２５０は、カメラ部２５１、操作部２５２、および本実施形態の有機ＥＬ表示装置１００を備えている。このように本発明に係る表示装置は、表示部として利用可能である。

【０１１４】

図１１（ｄ）はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ２６０は、バンド２６１、光学系収納部２６２および本実施形態の有機ＥＬ表示装置１００を備えている。このように本発明に係る表示装置は画像表示源として利用可能である。

【０１１５】

また、本発明に係る表示装置１００は、上述した例に限らず、例えば、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型ＴＶ、電子手帳など各種の電子機器に適用可能である。

【０１１６】

なお、本発明は、上述した実施形態の内容に限定されるものではなく、本発明の要旨の範囲内において種々の変形実施が可能である。例えば、上述した実施形態では、各パッド電極５６ａ～５６ｊのそれぞれに含まれる「最高部」の高さを全てＬ１に揃えて形成するとともに、各パッド電極３６ａ～３６ｊのそれぞれに含まれる「最高部」の高さを全てＬ２に揃えて形成していたが、対向配置されて対をなす一組のパッド電極のそれぞれについて、表面に生じる凹凸部分の最高部の高さの合計がほぼ一定となるように各パッド電極を形成するようにしても、上記実施形態と同様な効果を得ることが可能である。

【０１１７】

図１２は、対向配置されて対をなす各パッド電極の最高部の高さの合計がほぼ一定となるようにする場合について説明する図である。図１２において、パッド電極１３６ａとパッド電極１５６ａ、パッド電極１３６ｂとパッド電極１５６ｂのそれぞれが対向配置されて対をなすように形成されている。また、図１２では

、各パッド電極の下側に形成される積層膜については省略して示されている。

【０１１８】

転写チップ１３４側に形成される各パッド電極は、パッド電極１５６ａの最高部の高さがＬ１１、パッド電極１５６ｂの最高部の高さがＬ１２であり、両者の高さが異なっている。また、基板１１０側に形成される各パッド電極は、パッド電極１３６ａの最高部の高さがＬ２１、パッド電極１３６ｂの最高部の高さがＬ２２であり、両者の高さは異なっている。しかし、対をなすパッド電極の最高部の高さに着目すると、パッド電極１３６ａとパッド電極１５６ａの最高部の高さの合計と、パッド電極１３６ｂとパッド電極１５６ｂの最高部の高さの合計がほぼ同じになるように、各電極パッドが形成されている。

【０１１９】

このように、図１２に示す実施形態では、対をなす一組のパッド電極のそれぞれについて、最高部の高さの合計がほぼ一定となるように各パッド電極が形成されている。このようにして各パッド電極を形成することによっても、電気的接続をより確実に確保することが可能となる。

【０１２０】

また、上述した実施形態では、本発明に係る電気光学装置の一例として有機ＥＬ表示装置について説明を行っていたが、本発明の適用範囲はこれに限定されるものではなく、他の種々の電気光学素子（例えば、プラズマ発光素子、電気泳動素子、液晶素子など）を用いて構成される電気光学装置に対して適用することが可能である。また、本発明の適用範囲は、電気光学装置及びその製造方法に限定されるものでもなく、転写技術を用いて形成される各種装置に広く適用することが可能である。

【図面の簡単な説明】

【図１】　有機ＥＬ表示装置の構成について概略的に示す図である。

【図２】　画素の構造について説明する図である。

【図３】　チップの内部構造を示す平面図である。

【図４】　パッド電極について説明する図である。

【図５】　パッド電極の高さについて説明する図である。

【図６】　画素に形成されるパッド電極について説明する図である。

【図７】　画素に形成されるパッド電極について説明する図である。

【図８】　本実施形態に係る製造方法を説明する図である。

【図９】　本実施形態に係る製造方法を説明する図である。

【図１０】　異方性導電膜を用いて接着層を形成する場合について説明する図である。

【図１１】　有機ＥＬ表示装置を適用可能な電子機器の具体例を示す図である。

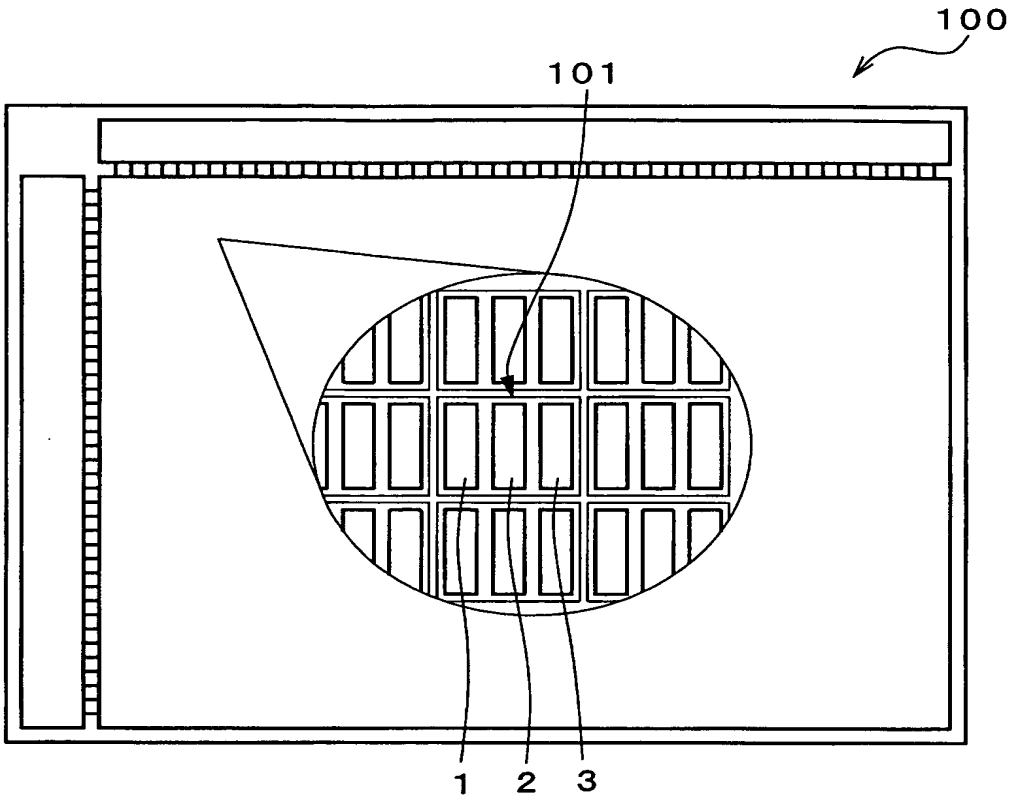
【図１２】　対向配置されて対をなす各パッド電極の最高部の高さの合計がほぼ一定となるようにする場合について説明する図である。

【符号の説明】

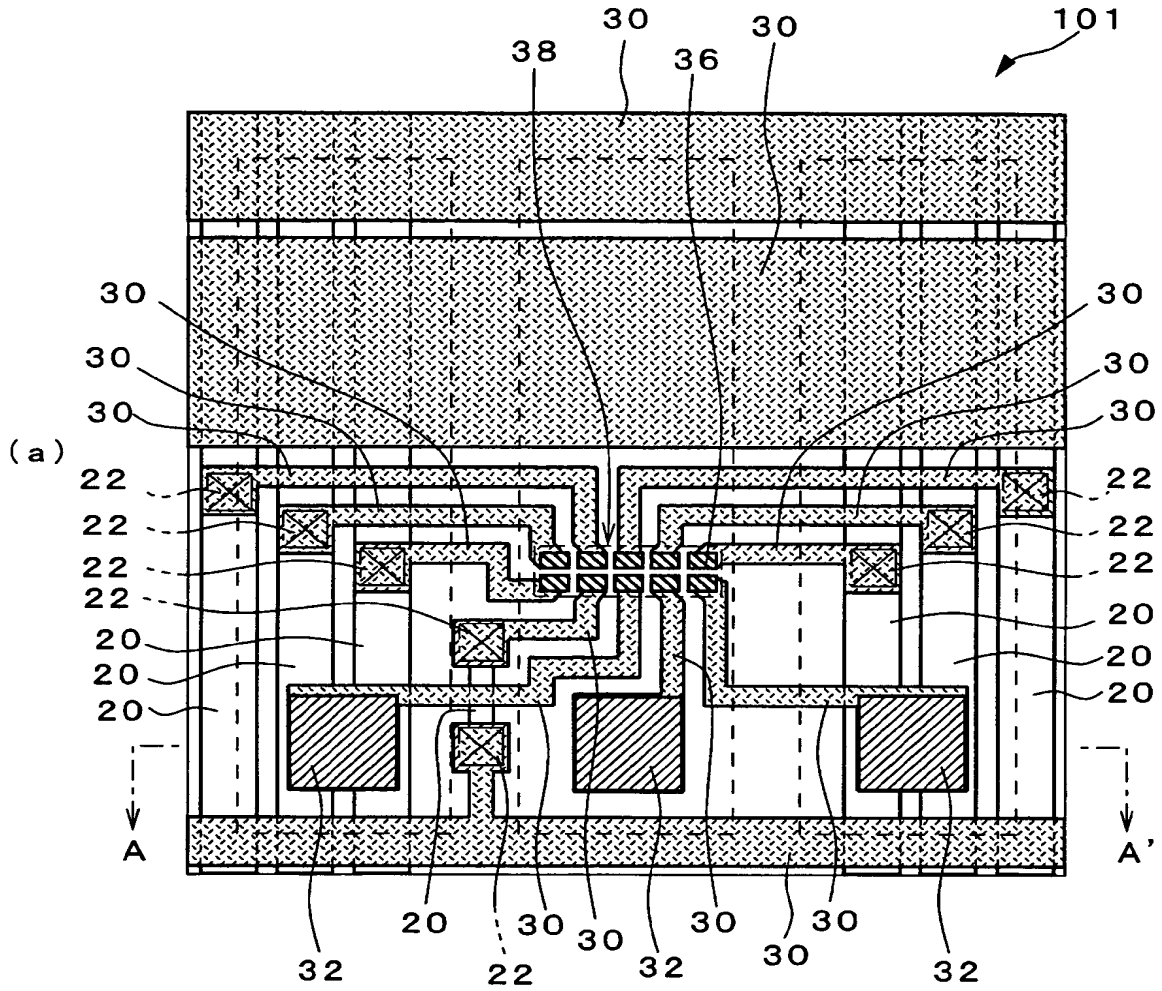
２０、３０…配線、　３４…チップ（転写チップ）、　３６、３６ａ～３６ｊ、５４ａ～５４ｊ…パッド電極（接続端子）、３６ｄ－１、３６ｄ－２、３６ｆ－１、３６ｆ－２、５６ｄ－１、５６ｄ－２、５６ｆ－１…最高部、　４０…画素電極、　４２…共通電極、　４４…発光層、　１００…有機ＥＬ（エレクトロルミネッセンス）表示装置、　１０１…画素

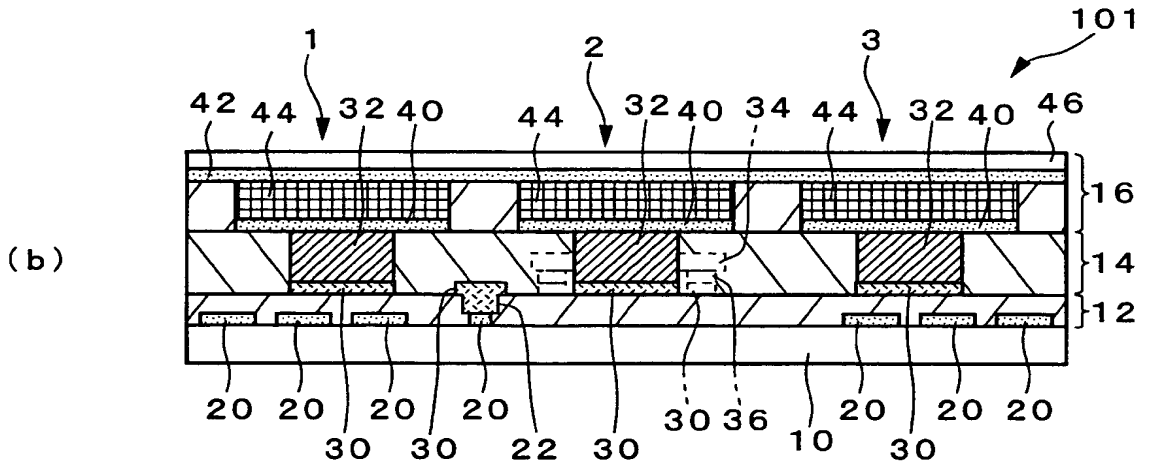
【書類名】　　図面

【図１】



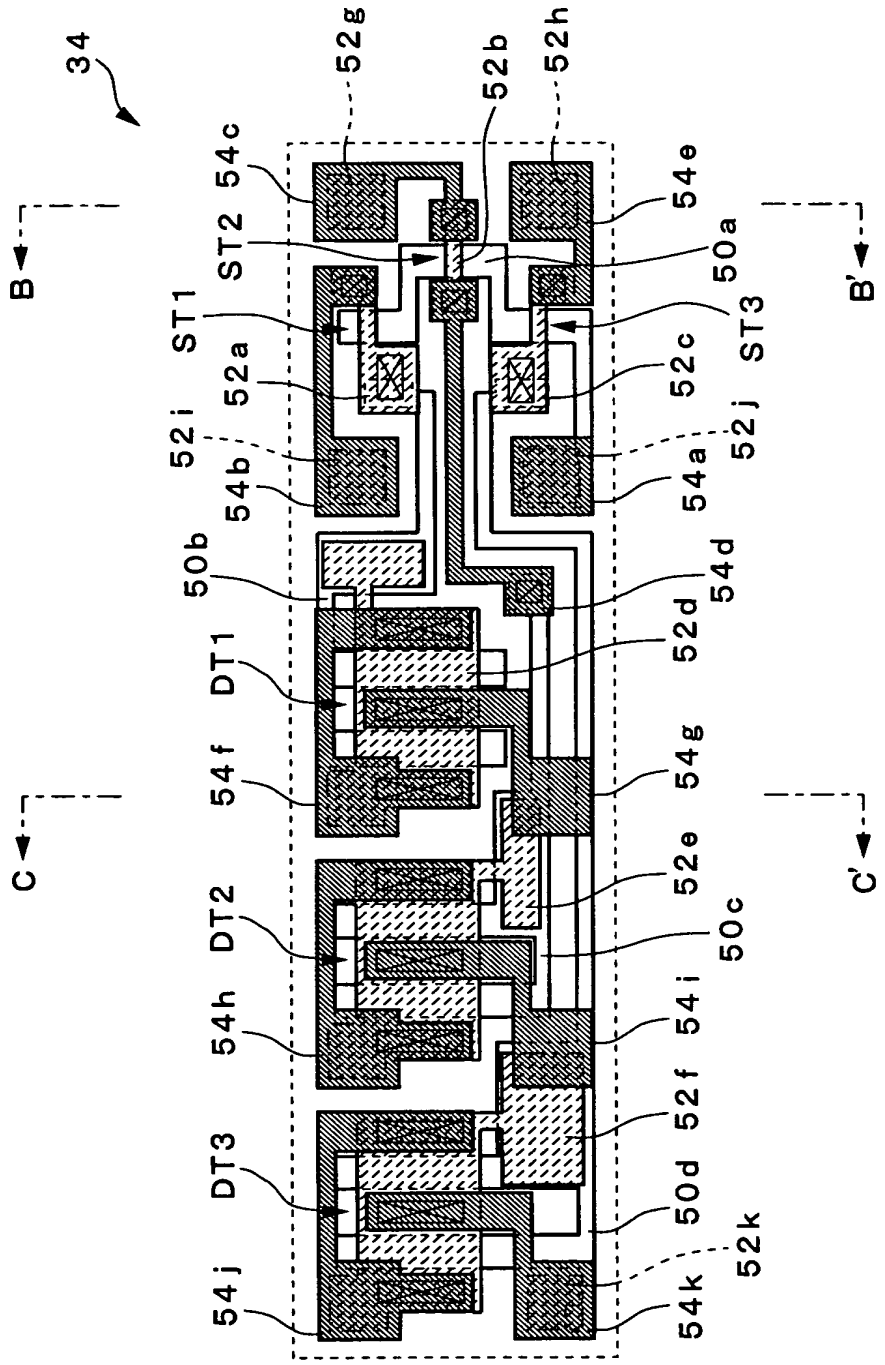
【図２】


(a)
101
38
30
36
30
30
30
30
30
30
30
30
22
22
22
22
22
22
22
22
20
20
20
20
20
20
A
A'
32
20
22
30
30
32
30
30
30
32

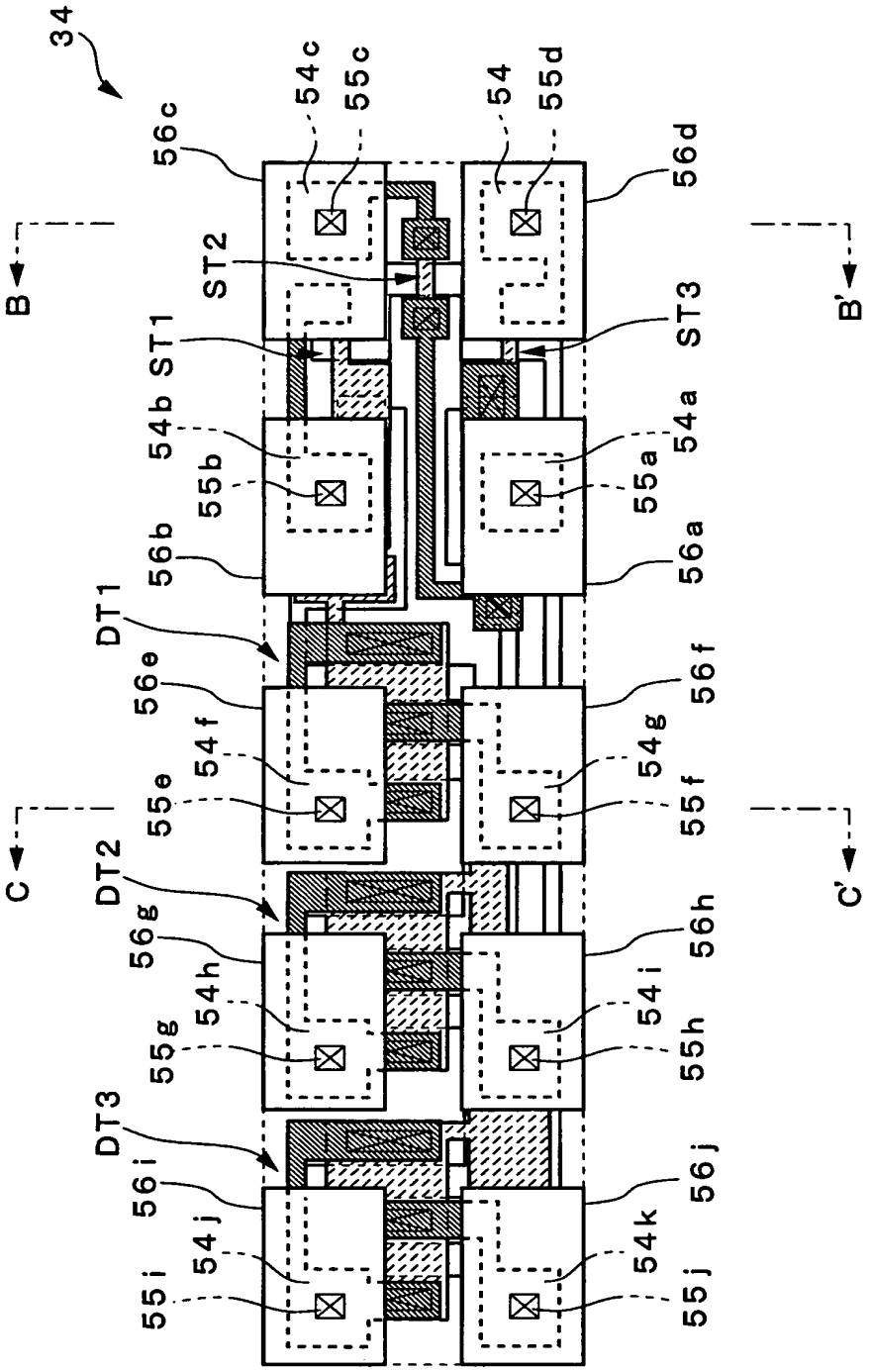

(b)
101
1
2
3
42
44
32
40
44
32
40
34
44
32
40
46
16
14
12
20
20
20
20
20
30
30
22
30
30
36
10
20
30
20
20
20

A－A' 断面

【図３】

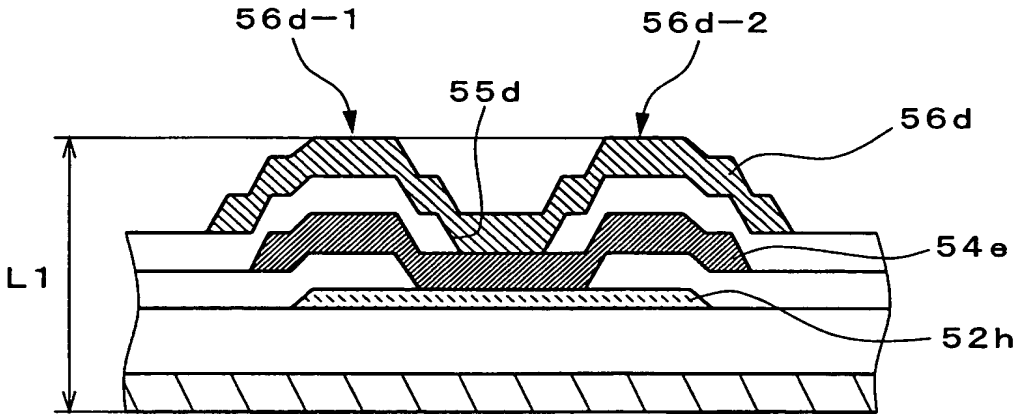

34
52g
52b
52h
54c
54e
ST2
50a
B
B'
ST1
ST3
52a
52c
52i
52j
54b
54a
50b
54d
DT1
52d
54f
54g
C
C'
52e
DT2
50c
54h
54i
52f
DT3
50d
52k
54j
54k

【図４】


34
54c
55c
54
55d
56c
56d
B
B'
ST2
ST1
ST3
54b
54a
55b
55a
56b
56a
DT1
56e
56f
54f
54g
55e
55f
C
C'
DT2
56g
56h
54h
54i
55g
55h
DT3
56i
56j
54j
54k
55i
55j

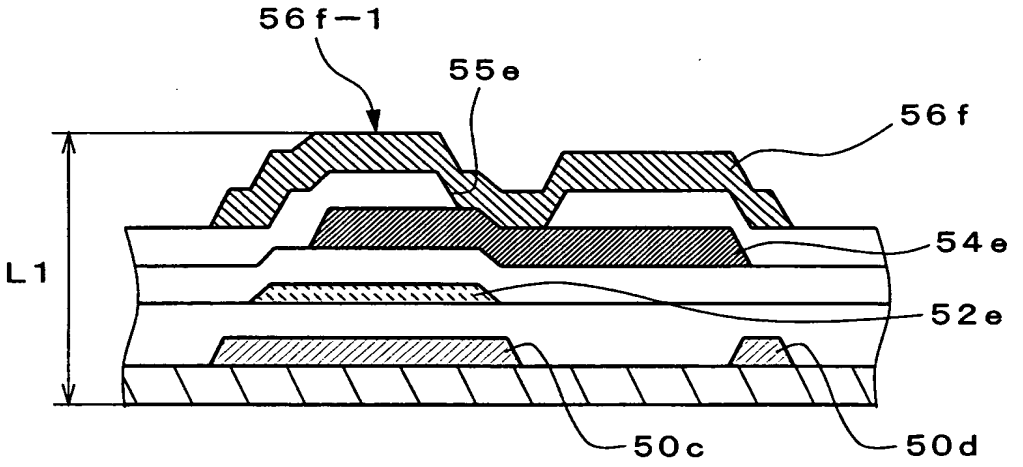
【図５】

(a)



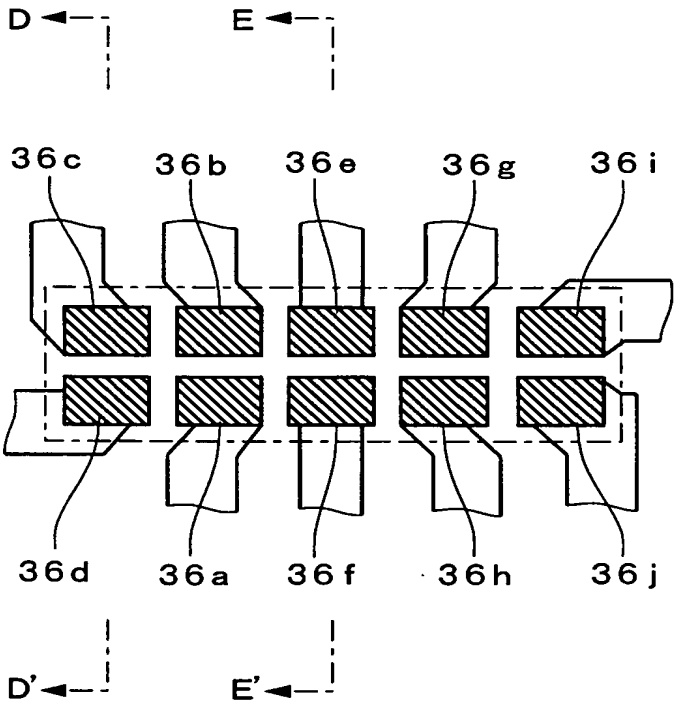
B－B’ 断面

(b)



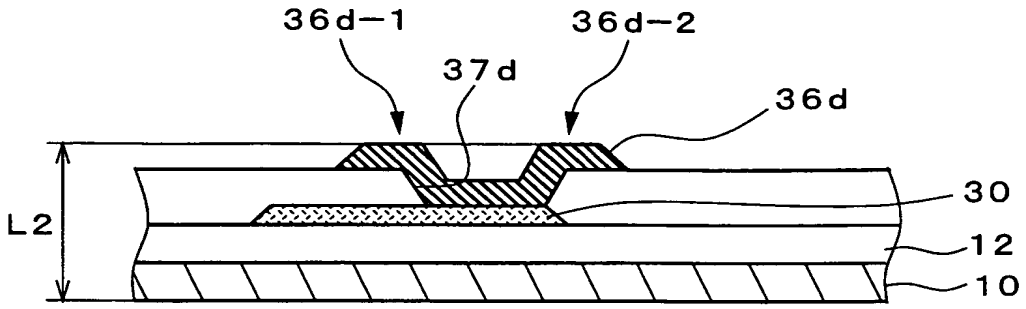
C－C’ 断面

【図６】



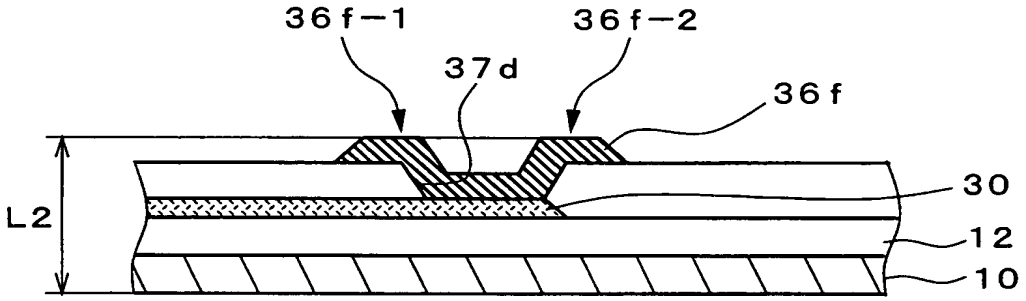
【図７】

(a)



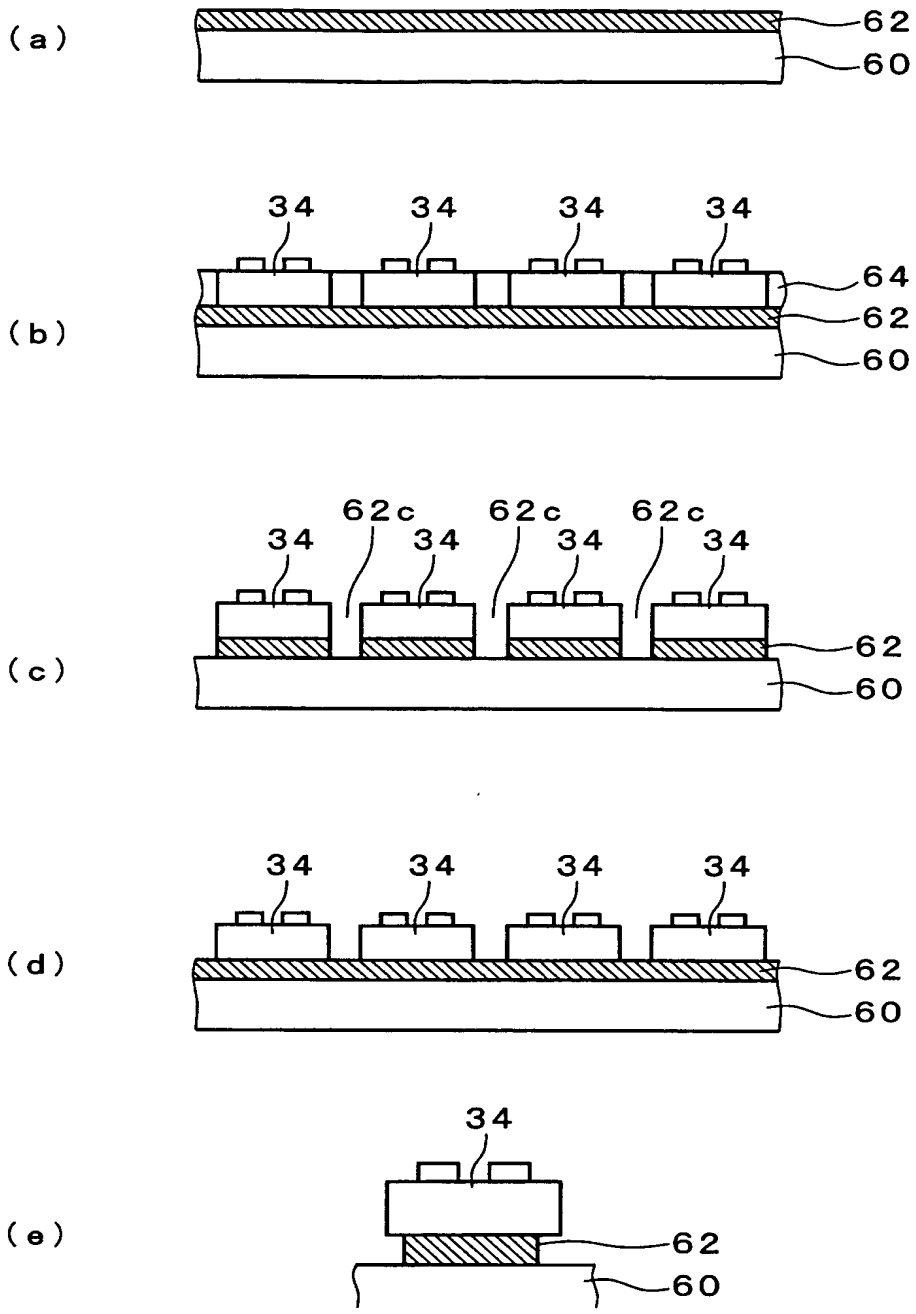
D－D’ 断面

(b)



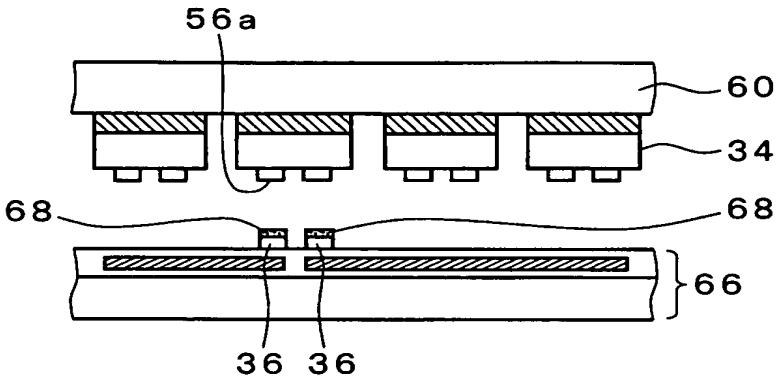
E－E’ 断面

【図８】

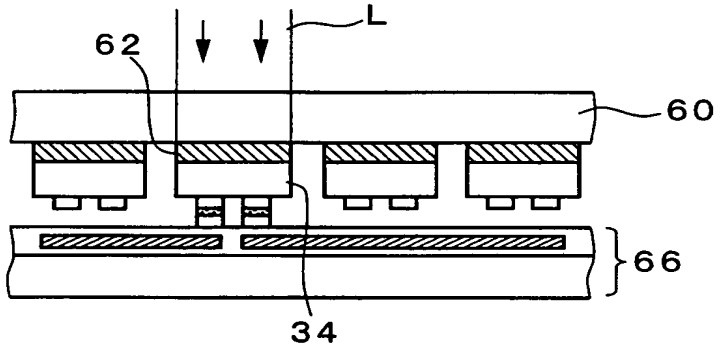

(a)
62
60
(b)
34
34
34
34
64
62
60
(c)
62c
62c
62c
34
34
34
34
62
60
(d)
34
34
34
34
62
60
(e)
34
62
60

【図９】

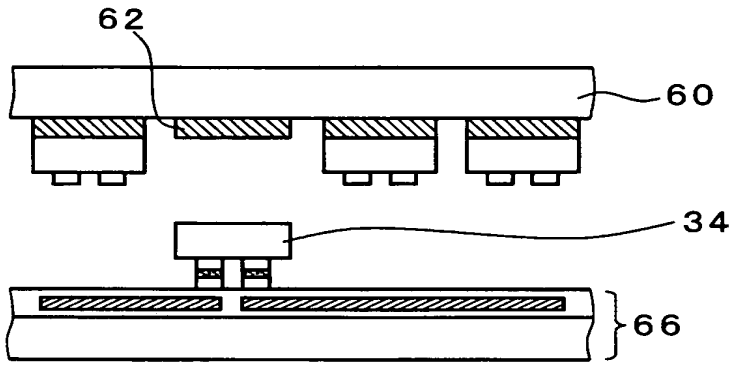
(a)



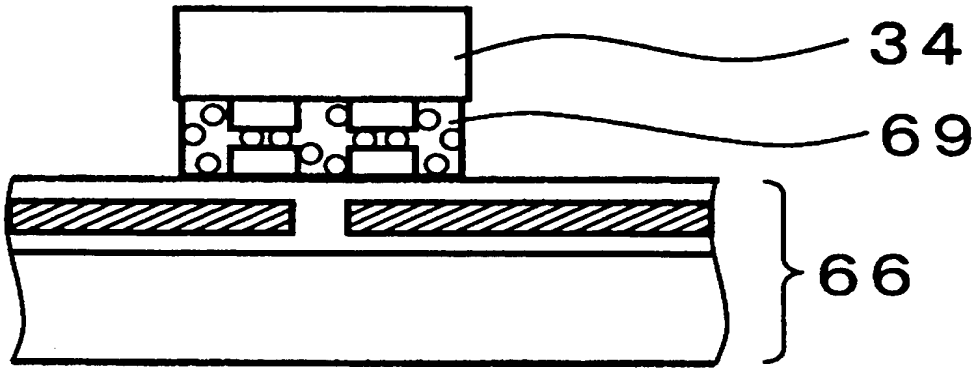
(b)



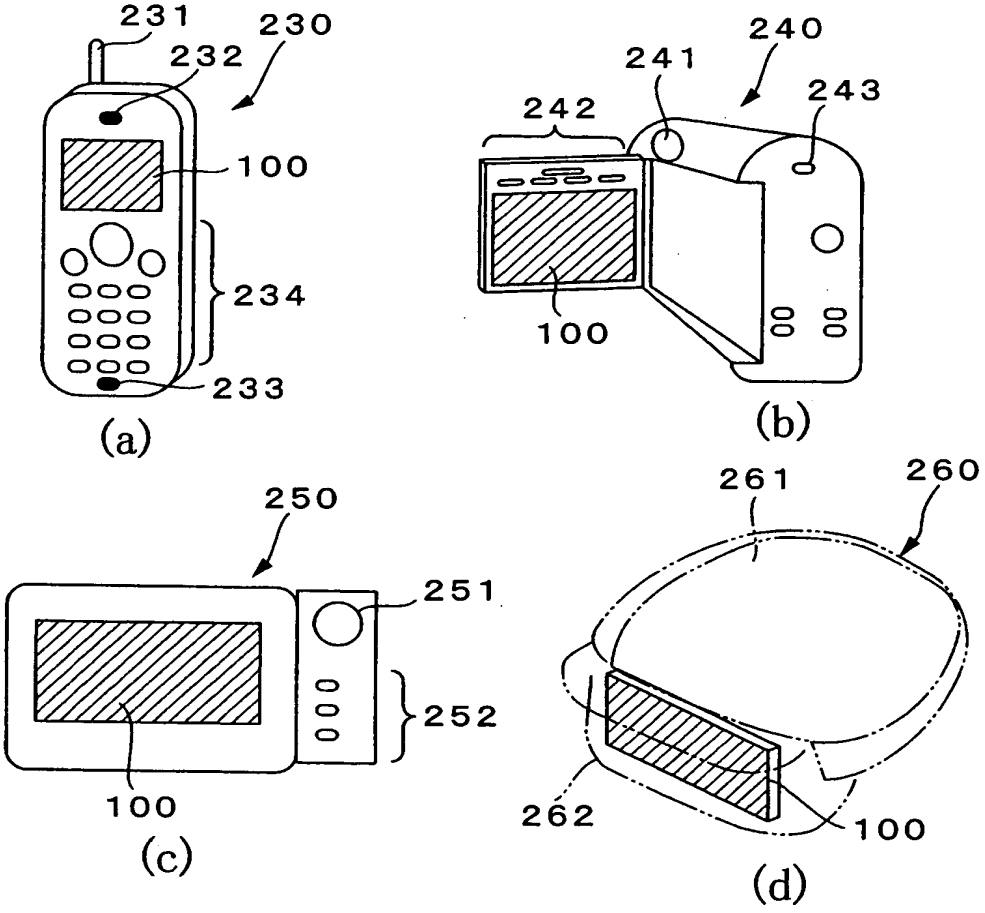
(c)



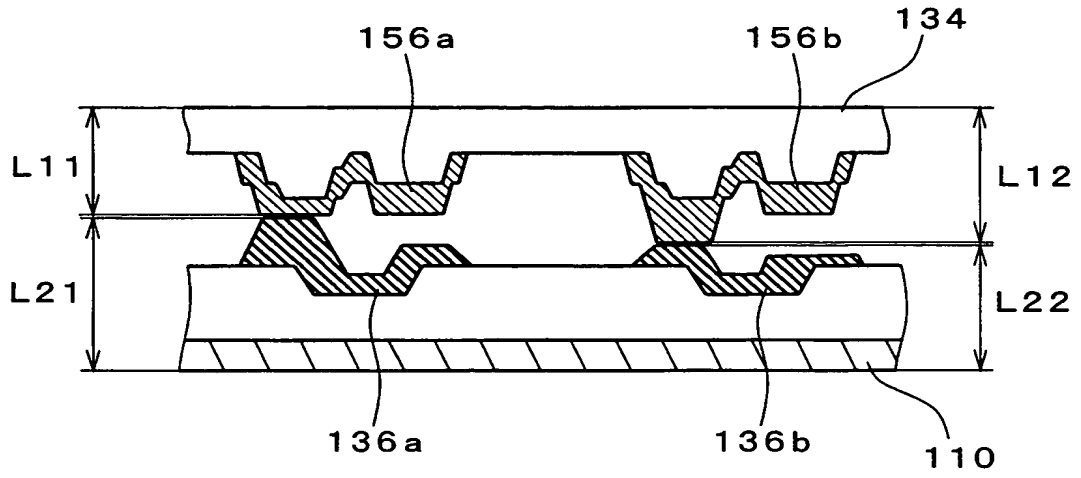
【図１０】


34
69
66

【図１１】


231
230
232
100
234
233
(a)
240
241
243
242
100
(b)
250
251
252
100
(c)
261
260
262
100
(d)

【図１２】



【書類名】　　要約書

【要約】

【課題】　被転写体と転写先基材との間にパッド電極を設けて両者を電気的に接続する際に、良好な導通状態を確保することを可能とする技術を提供すること。

【解決手段】　本発明に係る転写チップは、積層膜によって形成される薄膜電気回路とこの薄膜電気回路と他との接続を行うための複数のパッド電極とを少なくとも含む転写単位として第１の基板に形成され、当該第１の基板から配線が形成された第２の基板に転写される転写チップであって、複数のパッド電極(56d,56f)は転写チップの一面の全体に渡って配置され、各パッド電極(56d,56f)はその下側に存在する薄膜電気回路を構成する薄膜素子又は薄膜配線を覆って形成され、これによって表面に生じる凹凸部分の最高部(56d-1,56d-2,56f-1)の高さが各パッド電極(56d,56f)において略同じとなるように形成されている。

【選択図】　　図５

認定・付加情報

特許出願の番号	特願２００２－２９５１３４
受付番号	５０２０１５１５４８０
書類名	特許願
担当官	第五担当上席　　００９４
作成日	平成１４年１０月　９日

＜認定情報・付加情報＞

【提出日】　平成14年10月 8日

次頁無

特願２００２－２９５１３４

出　願　人　履　歴　情　報

識別番号　　［０００００２３６９］

１．変更年月日　　１９９０年　８月２０日
［変更理由］　　新規登録
住　所　　東京都新宿区西新宿２丁目４番１号
氏　名　　セイコーエプソン株式会社